

(Translation)

PATENT OFFICE  
JAPANESE GOVERNMENT

This is to certify that the annexed is a true copy of the following application as filed with this Office.

Date of Application : November 28, 2000

Application Number : Patent Appln. No. 2000-361979

Applicant(s) : SHARP KABUSHIKI KAISHA

Wafer  
of the  
Patent  
Office

September 17, 2001

Kozo OIKAWA

Commissioner,  
Patent Office

Seal of  
Commissioner  
of  
the Patent  
Office

Appln. Cert. No.

Appln. Cert. Pat. 2001-3085636

J1040 U.S. PTO  
09/993897



日 本 国 特 許 庁  
JAPAN PATENT OFFICE



別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日

Date of Application:

2000年11月28日

出 願 番 号

Application Number:

特願2000-361979

出 願 人

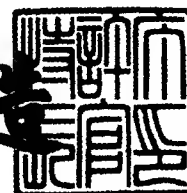
Applicant(s):

シャープ株式会社

2001年 9月17日

特 許 庁 長 官  
Commissioner,  
Japan Patent Office

及 川 耕 造



出証番号 出証特2001-3085636

【書類名】 特許願

【整理番号】 00J03802

【提出日】 平成12年11月28日

【あて先】 特許庁長官 殿

【国際特許分類】 H01L 21/02  
H01L 21/72

【発明者】

【住所又は居所】 大阪府大阪市阿倍野区長池町 2 2 番 2 2 号 シャープ株式会社内

【氏名】 福見 公孝

【特許出願人】

【識別番号】 000005049

【氏名又は名称】 シャープ株式会社

【代理人】

【識別番号】 100078282

【弁理士】

【氏名又は名称】 山本 秀策

【手数料の表示】

【予納台帳番号】 001878

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9005652

【ブルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体基板及びその作製方法

【特許請求の範囲】

【請求項 1】 表面に凹凸形状が形成された第 1 シリコン基板の表面と、表面に絶縁膜が形成された第 2 シリコン基板の表面とが貼り合わされて、内部に空洞領域が形成されていることを特徴とする半導体基板。

【請求項 2】 前記第 1 のシリコン基板表面には、多数の凸状が均等に配置されて凹凸形状になっている、請求項 1 に記載の半導体基板。

【請求項 3】 表面に第 1 の絶縁膜が形成された第 1 のシリコン基板に、所定のパターニングを有するレジストを設ける工程と、

前記レジストをマスクとして、前記第 1 の絶縁膜に対して等方性または異方性エッチングを行った後、さらに、該レジストパターンをマスクとして、第 1 のシリコン基板に対して、異方性エッチングを行い、前記第 1 のシリコン基板の表面に凹凸形状を形成する工程と、

前記レジストと前記第 1 の絶縁膜とを除去した後、前記第 1 のシリコン基板の表面と、第 2 の絶縁膜を表面に形成した第 2 のシリコン基板の表面とを貼り合わせる工程と、

を含むことを特徴とする半導体基板の作製方法。

【請求項 4】 前記第 1 の半導体基板の表面と、前記第 2 の半導体基板の表面とを貼り合わせた後、前記第 2 の半導体基板を裏面側から薄膜化する工程をさらに含む、請求項 3 に記載の半導体基板の作製方法。

【請求項 5】 前記第 1 の半導体基板の異方性エッチングは、KOHを用いて行う、請求項 3 に記載の半導体基板の作製方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、金属配線、受動素子、能動素子等と基板との間に生じる寄生容量の低減を図ることができる半導体基板及びその作製方法に関する。

【0002】

## 【従来の技術】

近年、デジタル携帯電話、PHS等のデジタル・コードレスホンに代表される携帯情報端末をはじめとして、無線通信を利用したモバイル・マルチメディア機器の市場の拡大が進んでおり、メーカー、大学等の各研究機関において、これらのモバイル・マルチメディア機器に使用される高周波デバイスの高周波特性を向上させることに関する研究が盛んに行われている。高周波デバイスの高周波特性の向上を図る場合、金属配線等の配線等、あるいは、受動素子、能動素子等の各素子とシリコン基板に代表される半導体基板との間に生じる寄生容量をいかに小さくするかが解決すべき課題の一つになっている。

## 【0003】

このような課題を解決するため、各素子等と半導体基板との間に生じる寄生容量を低減する方法が、例えば、特開平03-196644号公報（以下、文献1という）、及び、IEEE TRANSACTIONS ON ELECTRON DEVICES, VOL. 45, NO. 5, MAY 1998, pp. 1039-1045（以下、文献2という）に開示されている。

## 【0004】

まず、文献1に記載された方法について説明する。

## 【0005】

図4（a）～（d）は、文献1に記載の寄生容量を低減するのに適したデバイスの製造方法を、その工程毎に説明する断面図である。

## 【0006】

（1）まず、図4（a）に示すように、回路素子が設けられた半絶縁半導体基板1の上面の所定の位置にボンディングパッド2を設けて、半絶縁半導体基板1の下面を研磨し、半絶縁半導体基板1を150 $\mu$ m程度の厚さとする。

## 【0007】

（2）次に、図4（b）に示すように、半絶縁半導体基板1の上面及び下面の全面を覆うように、厚さ2～5 $\mu$ mのフォトレジスト7及び8を塗布し、その後、半絶縁半導体基板1の下面におけるボンディングパッド3に対向する位置に開口部8aを形成する。

## 【0008】

(3) 次に、図4(c)に示すように、フォトリジスト7及び8をマスクとして、硫酸：過酸化水素：水＝1～4：1：1の割合のエッチャントを用いた等方性ウェットエッチングにより、半絶縁半導体基板1の下面側に空洞3を形成する。

## 【0009】

(4) 次に、フォトリジスト7及び8を除去した後、図4(d)に示すように、空洞3の内面に窒化シリコン膜6を堆積して、セラミックパッケージ4のメタライズ層5にマウントする。

## 【0010】

上記(1)～(4)の工程により作製された半導体集積回路には、ボンディングパッド2に対向して半絶縁半導体基板1の下部内に空洞3が形成されており、この空洞3によって、半絶縁半導体基板1とボンディングパッド2との間に発生する寄生容量が低減される。

## 【0011】

次に、文献2に記載された方法について説明する。この文献2には、高周波デバイスにおける受動素子であるインダクタ(Inductor)の高周波特性(Q factor)を向上させるために、基板とインダクタとの間に生じる寄生容量を低減する方法が記載されている。

## 【0012】

図5(a)～(e)は、文献2に記載されている各素子等とシリコン基板との間の寄生容量を低減することができる半導体装置の製造方法をその工程毎に説明する断面図である。

## 【0013】

(1) まず、図5(a)に示すように、厚さ300nmのSOI(Silicon on Insulation)基板10の上に70nmの厚さの絶縁層11を積層して、LOCOS(局所酸化プロセス：Local Oxidation of Silicon)法によって、素子分離酸化膜12を形成した後に、2つのゲート酸化膜13を素子分離酸化膜12を挟んで形成するとともに、各ゲ

ート酸化膜 1 3 上にゲート電極 1 4 をそれぞれ形成する。

【0 0 1 4】

(2) 次に、図 5 (b) に示すように、各ゲート電極 1 4 と各ゲート電極 1 4 をそれぞれ挟んだソース及びドレイン領域の上に、選択的 CVD (Chemical Vapor Deposition) 法を用いて、タングステン (W) 膜 1 5 をそれぞれ成長させる。

【0 0 1 5】

(3) 次に、図 5 (c) に示すように、ソース及びドレイン領域上のタングステン膜 1 5 に、タングステンによって配線を形成するとともに、パッシベーション処理及びメタル配線の形成によって、最上層にアルミニウム (Al) 配線 1 6 を有する 3 層のメタル配線を形成し、回路素子を形成する。

【0 0 1 6】

(4) 次に、図 5 (d) に示すように、インダクタを形成するアルミニウム配線 1 6 が設けられたパッシベーション膜を最上面から、SOI 基板の下側のシリコン基板 1 0 の表面まで貫通する開口溝 1 7 を異方性エッチングによって形成する。

【0 0 1 7】

(5) 次に、図 5 (e) に示すように、開口溝 1 7 を介して、フッ化硫黄 (SF<sub>6</sub>) を用いた等方性エッチングによって、埋め込み酸化膜に 1 0 0 μm 程度の深さの空洞 1 8 を開口溝 1 7 に近接して配置された一方の素子の下方に達するように形成する。

【0 0 1 8】

以上の (1) ~ (5) の工程により、シリコン基板とインダクタとの間に生じる寄生容量が空洞 1 8 によって低減され、インダクタの高周波特性の向上が図れる。

【0 0 1 9】

【発明が解決しようとする課題】

上記 2 つの文献に記載された方法は、いずれも配線、素子等の下方のシリコン基板の部分に、低誘電率層である空洞領域を形成することによって、配線及び素

子と基板との間に生じる寄生容量の低減を図っている。

【 0 0 2 0 】

しかしながら、いずれの方法でも、シリコン基板の上に回路素子等を形成して L S I 等の作製が完了した後に、シリコン基板内に空洞を形成しなければならず、工程数が増加し、また、この空洞を形成する際に、基板上に形成された回路素子に損傷を与えるおそれがある。

【 0 0 2 1 】

また、文献 2 の方法については、回路素子の最上側からシリコン基板のシリコン層を貫通する開口溝を形成するための領域が設けられていることが必要であり、そのために、多層配線の構造が複雑になり、回路素子が密集する場合には、開口溝を形成することが困難になるという問題がある。

【 0 0 2 2 】

本発明は、上記問題を解決するためになされたものであり、素子が設けられた場合の寄生容量を確実に低減できる半導体基板及びこのような半導体基板の作製方法を提供することを目的とする。

【 0 0 2 3 】

【課題を解決するための手段】

上記課題を解決するために、本発明の請求項 1 の半導体基板は、表面に凹凸形状が形成された第 1 シリコン基板の表面と、表面に絶縁膜が形成された第 2 シリコン基板の表面とが貼り合わされて、内部に空洞領域が形成されていることを特徴とするものである。

【 0 0 2 4 】

請求項 2 の半導体基板は、請求項 1 に記載の半導体基板において、前記第 1 のシリコン基板表面には、多数の凸状が均等に配置されて凹凸形状になっているものである。

【 0 0 2 5 】

請求項 3 の半導体基板の作製方法は、表面に第 1 の絶縁膜が形成された第 1 のシリコン基板に、所定のパターンニングを有するレジストを設ける工程と、前記レジストをマスクとして、前記第 1 の絶縁膜に対して等方性または異方性エッチン



グを行った後、さらに、該レジストパターンをマスクとして、第1のシリコン基板に対して、異方性エッチングを行い、前記第1のシリコン基板の表面に凹凸形状を形成する工程と、前記レジストと前記第1の絶縁膜とを除去した後、前記第1のシリコン基板の表面と、第2の絶縁膜を表面に形成した第2のシリコン基板の表面とを貼り合わせる工程と、を含むことを特徴とするものである。

【0026】

請求項4の半導体基板の作製方法は、請求項3に記載の半導体基板の作製方法において、前記第1の半導体基板の表面と、前記第2の半導体基板の表面とを貼り合わせた後、前記第2の半導体基板を裏面側から薄膜化する工程をさらに含むものである。

【0027】

請求項5の半導体基板の作製方法は、請求項3に記載の半導体基板の作製方法において、前記第1の半導体基板の異方性エッチングは、KOHを用いて行うものである。

【0028】

【発明の実施の形態】

（実施の形態1）

以下、本発明の実施の形態1に係る半導体基板及びその作製方法について、詳細に説明する。

【0029】

図1（a）～（e）は、それぞれ本発明に係る半導体基板の作製方法を経時的に説明する断面図である。

【0030】

（1）本発明の半導体基板の作製方法では、図1（a）に示すように、第1のシリコン基板を準備し、この第1シリコン基板1の上面に、20nm程度の厚さの第1シリコン酸化膜2を形成する。

【0031】

（2）次いで、フォトリソグラフィー技術を用いることにより、第1シリコン酸化膜2の上に、図1（b）に示すように、多数の正形状部分が均等に配置さ

れるように開口部分がパターニングされたレジスト 3 を形成した後、このレジスト 3 をマスクとして、第 1 シリコン酸化膜 2 におけるレジスト 3 の開口部分に対向した領域を異方性または等方性エッチングによって除去し、その後に連続して、このレジスト 3 をそのままマスクとして、ドライエッチングにより第 1 シリコン基板 1 におけるレジスト 3 の開口部分に対向した領域を、1 5 0 0 n m 程度の深さに、水平な底面が得られるようにエッチングする。

## 【 0 0 3 2 】

(3) 次に、図 1 (c) に示すように、レジスト 3 及び第 1 シリコン酸化膜 2 を除去する。これにより、図 2 に示すように、平坦な凹部 1 a 内に、断面が正方形形状の多数の凸部 1 a がウエハ周辺まで均等にメッシュ状に配置された第 1 シリコン基板 1 が得られる。

## 【 0 0 3 3 】

(4) 次に、図 1 (d) に示すように、酸化膜 5 が表面に設けられた第 2 シリコン基板 4 を準備し、第 1 シリコン基板 1 の多数の凸部 1 b が形成された表面と酸化膜 5 を表面上に形成した第 2 シリコン基板 4 の酸化膜 5 とを、E L T R A N (E p i t a x i a l L a y e r T r a n s f e r) 法によって貼り合わせる。E L T R A N 法は、エピタキシャル成長により表面に薄膜 S i 層を形成した第 1 シリコン基板と第 2 シリコン基板とを貼り合わせ、この貼り合わせの後、貼り合わせ強度を確保するために、熱処理及び薄膜 S i 層を研磨する。

## 【 0 0 3 4 】

この第 1 シリコン基板 1 と第 2 シリコン基板 4 との貼り合わせは、上記方法のほか、第 1 シリコン基板と、第 2 シリコン酸化膜を成長させた第 2 シリコン基板に水素イオン注入を行い、熱処理することにより両基板を貼り合わせる、水素注入領域の脆性破壊を利用した貼り合わせる U N I B O N D 法等の基板貼り合わせ方法を採用してもよい。

## 【 0 0 3 5 】

(5) 次に、図 1 (e) に示すように、第 2 シリコン基板 4 を、第 1 シリコン基板 1 に貼り合わされた表面とは反対側の裏面側から研磨して薄膜化し、所望の厚さの半導体基板 (S O I 基板) とする。

## 【 0 0 3 6 】

以上の（１）～（５）の工程によって作製される半導体基板は、第１シリコン基板１内に予め、空洞領域が形成されているため、半導体基板上に回路素子等を形成した後に、半導体基板に空洞を形成する必要がないので、回路素子形成後に、半導体基板内に空洞を形成する必要がなく、回路形成後に半導体基板に空洞を形成することによる回路素子の損傷の発生を防止することができる。

## 【 0 0 3 7 】

また、この半導体基板は、前述の文献２のように、回路素子表面からシリコン基板を貫通する開口溝を形成する必要がないので、複雑な構造を有する高周波デバイスの作製に適している。

## 【 0 0 3 8 】

また、第１シリコン基板１に、均一なメッシュ形状の凸部１ａを形成することにより、回路素子を形成する際の熱処理によって、第１シリコン基板１に設けられた空洞領域が過度に熱膨張して、熱膨張による熱ストレスが半導体基板内に発生しても、この熱ストレスが半導体基板内に均一に作用するため、半導体基板の割れ等の不具合の発生を防止することができる。

## 【 0 0 3 9 】

なお、第１シリコン基板１における各凸部１ａの大きさについては、できるだけ小さくすることが好ましいが、第１シリコン基板１と第２シリコン基板４との貼り合わせ工程において、十分な貼り合せ強度を有する程度の大きさに形成する必要がある。

## 【 0 0 4 0 】

（実施の形態２）

次に、本発明の実施の形態２に係る半導体基板及びその作製方法について、詳細に説明する。

## 【 0 0 4 1 】

図３（ａ）～（ｅ）は、それぞれ本発明に係る半導体基板の作製方法を経時的に説明する断面図である。

## 【 0 0 4 2 】

(1) 本発明の半導体基板の作製方法では、図 3 (a) に示すように、第 1 シリコン基板 1 を準備し、この第 1 シリコン基板 1 の上面に、20 nm 程度の厚さの第 1 シリコン酸化膜 2 を形成する。

【0043】

(2) 次いで、フォトリソグラフィー技術を用いることにより、第 1 シリコン酸化膜 2 の上に、図 3 (b) に示すように、多数の正形状部分が均等に配置されるように開口部分がパターニングされたレジスト 3 を形成した後、このレジスト 3 をマスクとして、第 1 シリコン酸化膜 2 におけるレジスト 3 の開口部分に対向した領域を異方性または等方性エッチングによって除去し、その後に連続して、このレジスト 3 をそのままマスクとして、KOH 等の異方性エッチャントを用いて、第 1 シリコン基板 1 を 1500 nm 程度の深さに、深くなるにつれて順次開口面積が小さくなるようにエッチングする。

【0044】

(3) 次に、図 3 (c) に示すように、レジスト 3 及び第 1 シリコン酸化膜 2 を除去する。これにより、図 2 に示すように、平坦な凹部 1 a 内に、断面が正形状の多数の凸部 1 b がウエハ周辺まで均等にメッシュ状に配置された第 1 シリコン基板 1 が得られる。

【0045】

(4) 次に、図 3 (d) に示すように、酸化膜 5 が表面に設けられた第 2 シリコン基板 4 を準備し、第 1 シリコン基板 1 の多数の凸部が形成された表面と酸化膜 5 を表面上に形成した第 2 シリコン基板 4 の酸化膜 5 とを、ELTRAN (Epitaxial Layer Transfer) 法によって貼り合わせる。ELTRAN 法では、エピタキシャル成長により表面に薄膜 Si 層を形成した第 1 シリコン基板と第 2 シリコン基板とを貼り合わせ、この貼り合わせの後、貼り合わせ強度を確保するために、熱処理及び薄膜 Si 層を研磨する。

【0046】

この第 1 シリコン基板 1 と第 2 シリコン基板 5 との貼り合わせは、上記方法のほか、第 1 シリコン基板と、第 2 シリコン酸化膜を成長させた第 2 シリコン基板に水素イオン注入を行い、熱処理することにより両基板を貼り合わせる、水素注

入領域の脆性破壊を利用した貼り合わせるUNI BOND法等の基板貼り合わせ方法を採用してもよい。

【0047】

(5) 次に、図3(e)に示すように、第2シリコン基板5を、第1シリコン基板1に貼り合わされた表面とは反対側の裏面側から研磨して薄膜化し、所望の厚さの半導体基板(SOI膜)とする。

【0048】

以上の(1)～(5)の工程によって作製される半導体基板は、第1シリコン基板1内に予め、空洞領域が形成されているため、半導体基板上に回路素子等を形成した後に、半導体基板に空洞を形成する必要がないので、回路素子形成後に、半導体基板内に空洞を形成する必要がなく、回路形成後に半導体基板に空洞を形成することによる回路素子の損傷を防止することができる。

【0049】

また、この半導体基板は、前述の文献2のように、回路素子表面からシリコン基板を貫通する開口溝を形成する必要がないので、複雑な構造を有する高周波デバイスの作製に適している。

【0050】

また、第1シリコン基板1に、均一なメッシュ形状の凸部1aを形成することにより、回路素子を形成する際の熱処理によって、第1シリコン基板1に設けられた空洞領域が過度に熱膨張して、熱膨張による熱ストレスが半導体基板内に発生しても、この熱ストレスが半導体基板内に均一に作用するため、半導体基板の割れ等の不具合の発生を防止することができる

【0051】

【発明の効果】

以上説明したように、本発明の作製方法によって作製される半導体基板によれば、半導体基板の内部に予め空洞領域が形成されているので、金属配線・受動素子・能動素子等の回路素子を設けると、その空洞領域が低誘導率層になり、高周波デバイス等の高周波特性の劣化をもたらす要因の1つとなる、素子等と基板との間に生じる寄生容量が低減される。このため、本発明の半導体基板は、高周波

特性に優れており、高周波デバイス等に適している。

【図面の簡単な説明】

【図 1】

(a) ～ (e) は、それぞれ本発明の実施の形態 1 に係る半導体基板の作製方法を工程毎に説明する断面図である。

【図 2】

本発明の実施の形態 1 に係る半導体基板の作製に使用される第 1 シリコン基板の平面図である。

【図 3】

(a) ～ (e) は、それぞれ本発明の実施の形態 2 に係る半導体基板（シリコン基板）の作製方法を工程毎に説明する断面図である。

【図 4】

文献 1 による半導体基板の作製方法を工程毎に説明する断面図である。

【図 5】

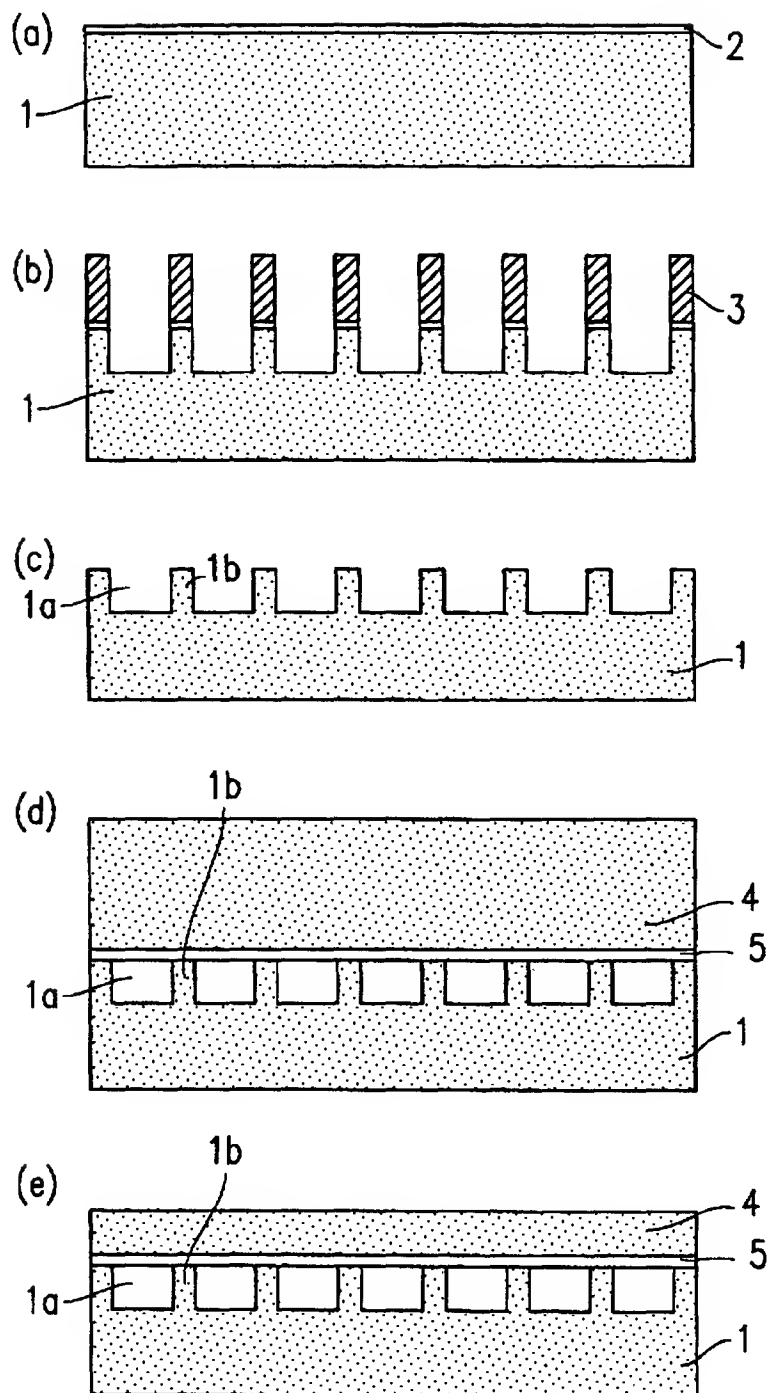
文献 2 による半導体基板の作製方法を工程毎に説明する断面図である。

【符号の説明】

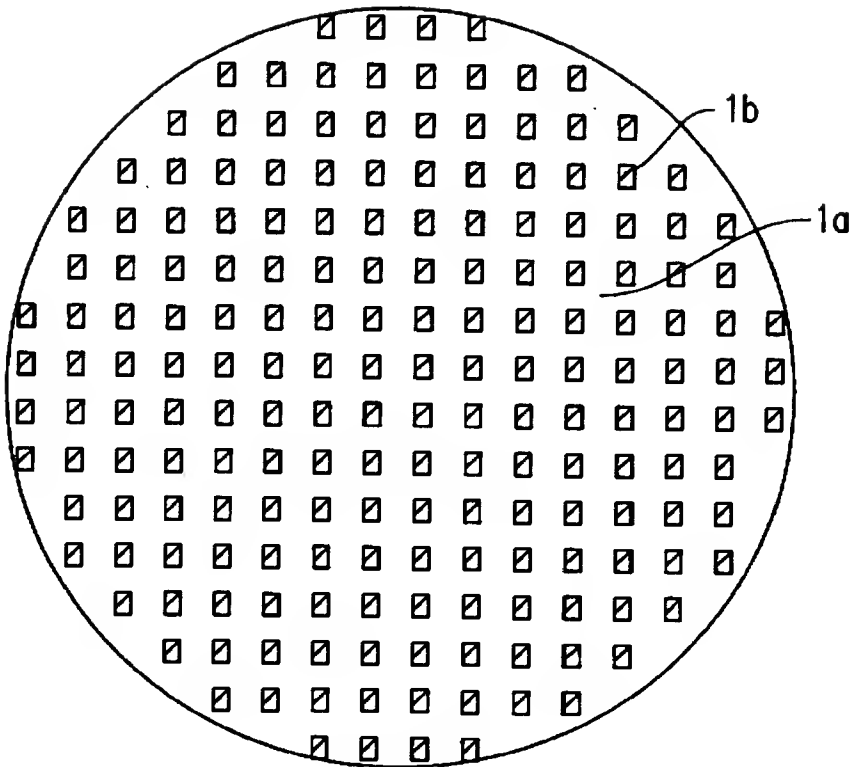
- 1 第 1 シリコン基板
- 2 第 1 シリコン酸化膜
- 3 レジスト
- 4 シリコン酸化膜
- 5 第 2 シリコン基板
- 6 第 2 シリコン酸化膜

【書類名】 図面

【図 1】

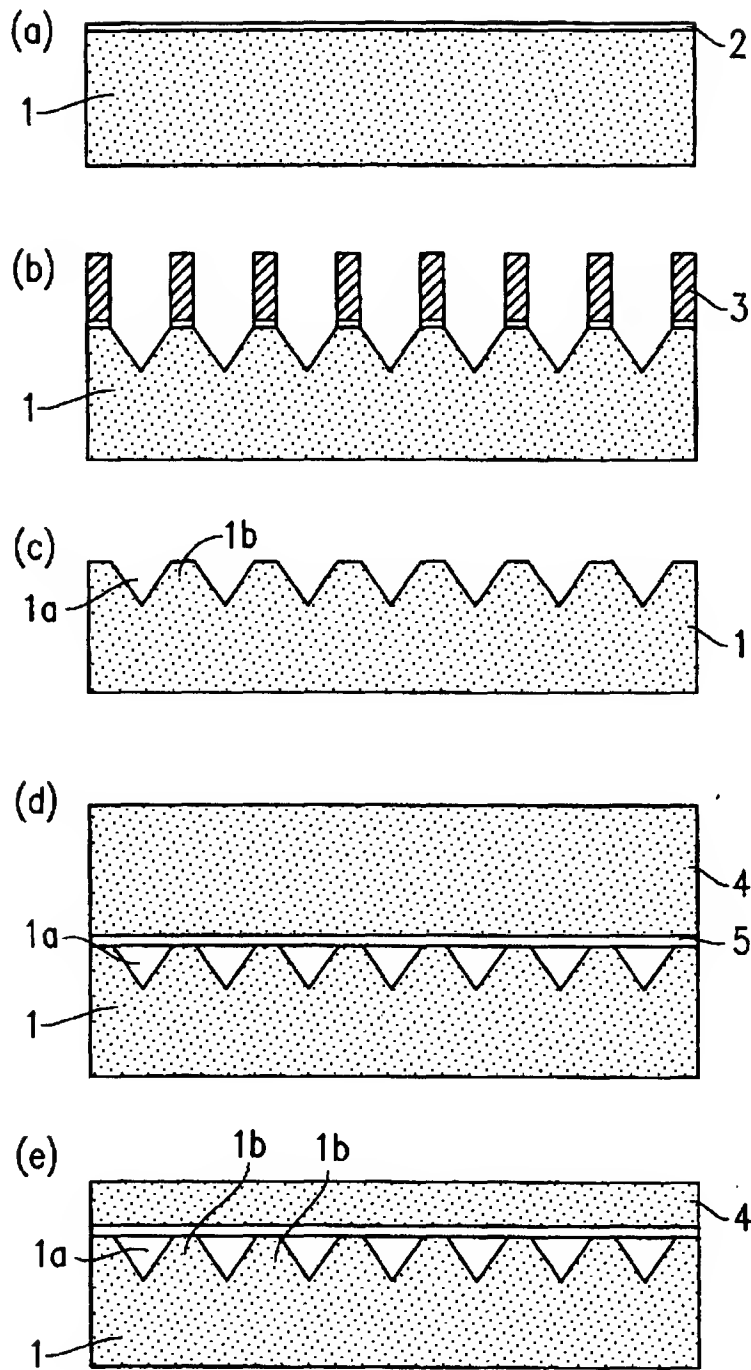


【図 2】

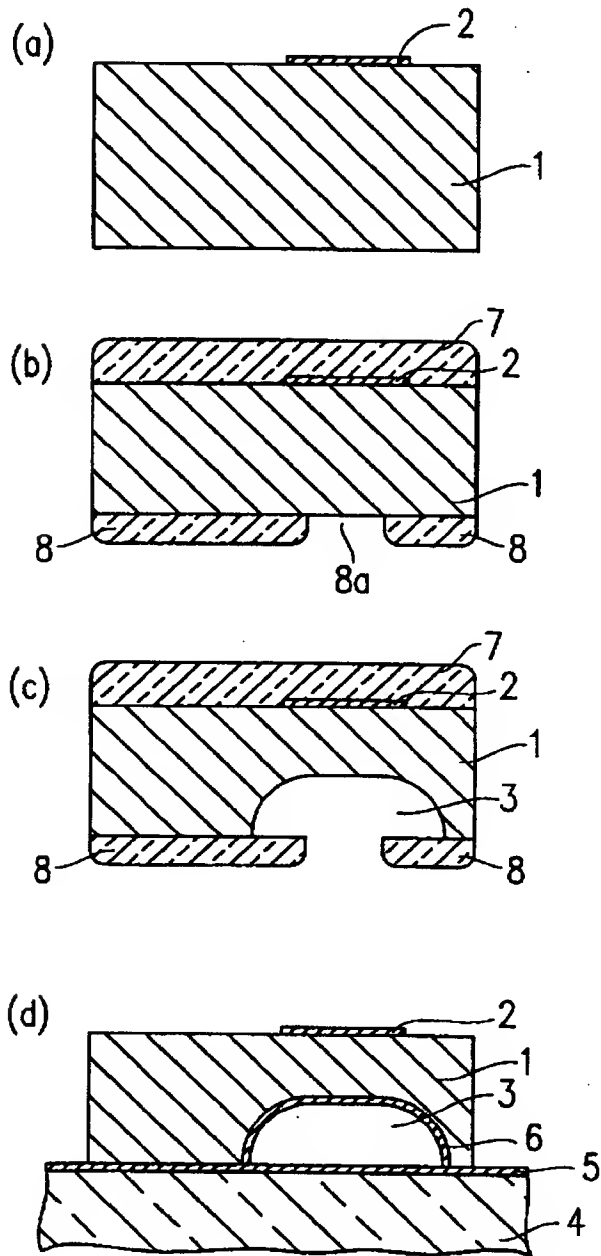




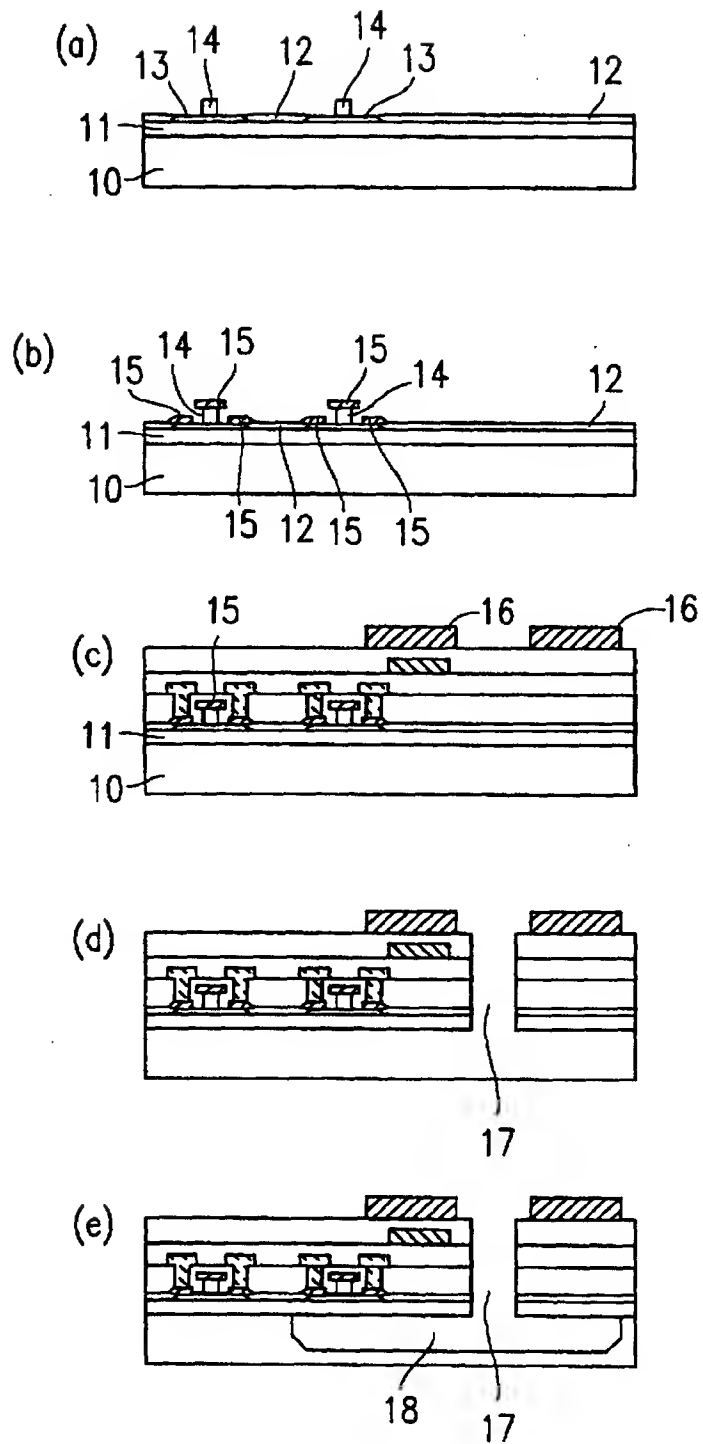
【図 3】



【図 4】



【図 5】



【書類名】 要約書

【要約】

【課題】 素子が設けられた場合の寄生容量を確実に低減できる半導体基板を容易に作製できる。

【解決手段】 表面に第1シリコン酸化膜2が形成された第1半導体基板1に、レジスト3をパターニングする工程と、レジスト3をマスクとして、第1シリコン基板の第1シリコン酸化膜2に対して等方性または異方性エッチングを行った後、さらに、レジスト3をマスクとして、第1シリコン基板1に対して、異方性エッチングを行い、第1シリコン基板の表面に凹凸を形成する工程と、レジスト3と第1シリコン酸化膜2を除去した後、第1シリコン基板1の表面に、第2シリコン酸化膜を表面に形成した第2シリコン基板を貼り合わせ、内部に第1シリコン基板1の表面の凹凸による空洞領域を形成する工程とを含む。

【選択図】 図1

出 願 人 履 歴 情 報

識別番号 [000005049]

1. 変更年月日 1990年 8月29日  
[変更理由] 新規登録  
住 所 大阪府大阪市阿倍野区長池町22番22号  
氏 名 シャープ株式会社